

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

Generate Collection

Print

L4: Entry 1 of 2

File: JPAB

Dec 6, 1988

PUB-NO: JP363299280A

DOCUMENT-IDENTIFIER: JP 63299280 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: December 6, 1988

## INVENTOR-INFORMATION:

NAME

COUNTRY

ARAI, NORIHISA

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

TOSHIBA MICRO COMPUT ENG CORP

APPL-NO: JP62133793

APPL-DATE: May 29, 1987

INT-CL (IPC): H01L 29/78; H01L 27/08

## ABSTRACT:

PURPOSE: To simplify a process and to realize a high speed by a method wherein a silicide structure of a refractory metal is used as a second gate electrode for a multilayer gate type transistor and a polycide structure of the refractory metal is used as a gate electrode for a single-layer gate type transistor existing on an identical substrate so that a thin gate structure can be formed.

CONSTITUTION: A second gate oxide film 106 is formed on a polycrystalline silicon film 105 by a thermal oxidation method. The oxide film 106 outside a region to form a multilayer gate type transistor is etched by making use of a resist pattern 110 as a mask; after that, said resist pattern 110 is removed; the surface of a substrate is washed; after that, a tungsten silicide film 107 is deposited on the whole surface of the substrate by a CVD method. Then, a resist pattern for a gate electrode is formed by photolithography. Furthermore, the tungsten silicide film 107 is etched by an anisotropic dry etching method; after that, only the oxide film on a first gate electrode for the multilayer gate type transistor is etched selectively; in succession, the polycrystalline silicon film 105 is etched; ions of arsenic are implanted.

COPYRIGHT: (C)1988,JPO&amp;Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

## ⑫ 公開特許公報(A)

昭63-299280

⑬ Int.Cl.<sup>4</sup>H 01 L 29/78  
27/08

識別記号

3 7 1  
1 0 2

庁内整理番号

7514-5F  
H-7735-5F

⑭ 公開 昭和63年(1988)12月6日

審査請求 有 発明の数 2 (全5頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭62-133793

⑰ 出 願 昭62(1987)5月29日

⑱ 発 明 者 新 井 範 久 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエンジニアリング株式会社内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 出 願 人 東芝マイコンエンジニアリング株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 細 書

## 1. 発明の名称

半導体装置及びその製造方法

## 2. 特許請求の範囲

(1) 第1導電型の半導体基体の表面に第2導電型のソース、ドレイン領域を互いに電気的に分離して設け、これら領域間に挟まれたチャネル領域上にゲート絶縁膜を介して第1のゲート電極を設けた1層ゲート型のトランジスタと、前記第1のゲート電極の上に絶縁膜を介して第2のゲート電極を設けた多層ゲート型のトランジスタとを同一半導体チップ内に有し、前記第1層ゲート型のトランジスタの第1ゲート電極が高融点金属のポリサイドであり、多層ゲート型トランジスタの第2のゲート電極が高融点金属のシリサイドであることを特徴とする半導体装置。

(2) 半導体基板上に素子分離領域を形成する工程と、前記素子分離領域で分離された素子領域上に第1のゲート絶縁膜を介して多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜上に第

2のゲート絶縁膜を形成する工程と、前記第2のゲート絶縁膜を部分的に剥離する工程と、前記第2のゲート絶縁膜を含む基板上に高融点金属のシリサイド膜を形成する工程と、前記高融点金属のシリサイド膜と第2のゲート絶縁膜と多結晶シリコン膜をパターンニング加工し、多層ゲート型トランジスタならびに1層ゲート型トランジスタの電極配線を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体装置及びその製造方法に係わり、多層ゲート型MOSトランジスタの第2ゲート電極に高融点金属のシリサイド構造を利用し、同時に1層ゲート型のMOSトランジスタのゲート電極に高融点金属のポリサイド構造のものを利用し、高速化、高集積化を可能としたもので、特に不揮発性メモリーに使用されるものである。

## (従来の技術)

一般に集積回路においては、集積度だけでなく、動作速度の向上のために素子の微細化が必要とされている。また、高速度化として、集積回路に使用されるゲート電極材料には従来から多結晶シリコンに比べ、比抵抗が小さいモリブデン、タングステン、タンタル等のいわゆる高融点金属のシリサイドまたは、ポリサイドがある。不揮発性メモリー装置は、従来から第2図に示すごとく形成されている。即ち第2図(a)に示す如くP型シリコン基板201上に素子分離用フィールド絶縁膜202、第1のゲート酸化膜203、多結晶シリコン(燐ドーパ)204を設け、第2図(b)の如く多層ゲート型トランジスタの第1のゲート電極(多結晶シリコン)204をレジスト205でパターニング加工し、第2図(c)の如く多層ゲート型トランジスタの第1のゲート電極を熱酸化し、第2のゲート酸化膜207を形成すると共に、1層ゲート型トランジスタのゲート酸化膜206を形成した後、第2図(d)の如く多層ゲ

ート型トランジスタの第2のゲート電極と1層ゲート型トランジスタのゲート電極となる多結晶シリコン層208/高融点金属シリサイド層209の構造もしくは、高融点金属のシリサイド構造を形成する。その後、第2図(e)の如く多層ゲート型トランジスタのゲート電極をパターニング加工した後、1層ゲート型トランジスタのゲート電極を加工し、第2図(e)、(f)の如くゲート電極をマスクとしてソースN<sup>+</sup>層210、ドレインN<sup>+</sup>層211を形成するものである。

## (発明が解決しようとする問題点)

第2図で示した工程においては、多層ゲート型トランジスタの第2のゲート酸化膜207及び1層ゲート型トランジスタのゲート酸化膜206を同時に形成しているため、多層ゲート型トランジスタの第1のゲート電極204である多結晶SiとSi基板201との酸化レートとの相異により、多層ゲート型トランジスタの多結晶シリコン上酸化膜と1層ゲート型トランジスタのゲート酸化膜の膜厚のコントロールは複雑化する。また一

般に、多結晶シリコンの熱酸化膜はバルク酸化膜に比べ膜質が悪く、耐圧が低い。そこで、950℃以上の高温で酸化膜を形成することにより、膜質を改善し、ゲート耐圧を向上させる必要がある。このため、多層ゲート型トランジスタの第2のゲート酸化膜と1層ゲート型トランジスタのゲート酸化膜の形成においては、充分なゲート耐圧を得るためには高温で酸化しなくてはならない。このため、多層ゲート型トランジスタの第2のゲート酸化膜と1層ゲート型トランジスタのゲート酸化膜にプロセス的制限が加えられと共に、膜厚コントロールは困難なものにする。

そこで、第3図に示した手法が考えられる。これは、P型Si基板301上の素子分離用フィールド絶縁膜302以外の素子領域に多層ゲート型トランジスタの第1のゲート酸化膜303と1層ゲート型トランジスタのゲート酸化膜304を同時に形成した後、多層ゲート型トランジスタの第1のゲート電極と1層ゲート型トランジスタのゲート電極となる多結晶シリコン膜305を形成し

該膜上に第2のゲート酸化膜となる絶縁膜306を形成した(第3図(a))。その後第3図(b)の如く多結晶シリコン膜(燐ドーパ)307を形成し、更に多層ゲート型トランジスタの第2のゲート電極となる高融点金属のシリサイド308を形成した後、1層ゲート型トランジスタの形成領域の高融点金属のシリサイド308、膜307、306を取り除いた(第3図(c))。その後、多層ゲート型トランジスタのゲート電極をパターニング加工した後、1層ゲート型トランジスタのゲート電極をパターニング加工する方法がある。第3図(e)において309はソースN<sup>+</sup>層、310はドレインN<sup>+</sup>層である。この方法だと、1層ゲート型トランジスタのゲート酸化膜厚は固定され、2層ゲート型トランジスタの第2のゲート酸化膜厚を自由にコントロールすることが可能である。

しかしながら、1層ゲート型トランジスタのゲート電極305は、高融点金属のシリサイドもしくはポリサイド構造とはならない。しかも、不揮

発性メモリーセルのような多層ゲート型トランジスタにおいては、第1のゲート電極の比抵抗 $\rho_s$ が第2のゲート電極の $\rho_s$ より高いものであっても、なんら、素子特性に影響を及ぼさないような使用にあたっては、素子の微細化のため、多層ゲート型トランジスタの第1のゲートを薄膜化することが可能となる。ところが、第3図で示したような工程であると、周辺トランジスタとなる1層ゲート型トランジスタのゲート電極305は、同時に薄くなってしまい、 $\rho_s$ が増大し、素子の低速化を招く。

本発明は、前記従来技術の欠点を克服し、信頼性が高いシリサイド構造またはポリサイド構造のMOS FETを具備した半導体装置（集積回路）と、素子設計を簡略化することを可能としたその製造方法を提供することを目的とする。

（問題点を解決するための手段と作用）

本発明は、1層ゲート型トランジスタのゲート電極に高融点金属のポリサイド構造を、多層ゲート型トランジスタの第2のゲート電極に薄型の

高融点金属のシリサイド構造を用いることで、従来方法でより工程を簡略化することができ、かつ高速化する構造とその製造方法を提供するものである。これは、多層ゲート型トランジスタの第2のゲート電極に高融点金属シリサイドを用い、1層ゲート型トランジスタのゲート電極を、多層ゲート型の第1のゲート電極形成時に同時に形成される電極材（多結晶シリコン）と、多層ゲート型の第2のゲート電極形成時に同時に形成される電極材（高融点金属シリサイド）の積み重ねた構造をとることにより、工程を簡略化し、高速化されることに基づくものである。すなわち本発明は、多層ゲート型トランジスタの第2のゲート電極に高融点金属のシリサイド構造のものを用い、同一基板上に存在する1層ゲート型トランジスタのゲート電極に高融点金属のポリサイド構造のものを用いて薄型ゲート構造とし、工程的に有利化されるようにしたことを特徴としている。

（実施例）

以下図面を参照して本発明の一実施例を説明

する。第1図は同実施例として、EPROM（Erasable PROM）セルとその周辺回路に使われるNチャネルMOSFETの形成に本発明を適用した場合の例である。まず、P型シリコン基板101にフィールド酸化膜102を形成し、次に素子形成領域に熱酸化によりゲート酸化膜103、104を形成した後、全面に多結晶シリコン105を堆積させ、POC<sub>l</sub><sub>3</sub>法により多結晶シリコン膜105中に燐をドーブした。さらに、多結晶シリコン膜105上に熱酸化により第2のゲート酸化膜106を形成した（第1図（a））。次いで第1図（b）に示されるごとく周知のフォトリソグラフィ技術を用いて所望の多層ゲート型トランジスタ形成領域のレジストパターン110を形成した。このレジストパターン110をマスクとして、多層ゲート型トランジスタ形成領域外の酸化膜106を周知のエッチング技術によりエッチングした後、さらに前記レジストパターン110を除去し、基板表面を洗浄した後、タングステンシリサイド膜107をCVD法により基板全面に堆

積した（第1図（c））。次に周知のフォトリソグラフィ技術を用いてゲート電極レジストパターンを形成した。さらに、異方性ドライエッチング技術を用いて、多層ゲート型トランジスタの第2のゲート電極と1層ゲート型トランジスタのゲート電極の1部となるタングステンシリサイド膜107をエッチングした後、多層ゲート型トランジスタの第1のゲート電極上の酸化膜のみを選択的にエッチングし、つづいて多結晶シリコン105をエッチングした。このように構成されたゲート電極構造をマスクとしてソース108、ドレイン109（第1図（e））ならびに拡散層配線形成のために、砒素イオンを加速エネルギー60keVで、 $2 \times 10^{15} \text{ cm}^{-2}$ 注入した（第1図（d））。さらに図に示していないが、さらに保護膜及び前記注入したイオンを活性化するため、950℃のO<sub>2</sub>雰囲気中でシリコンを酸化し、次に、層間絶縁膜としてシリコン酸化膜とシリコンとリンをドーブしたガラス膜を周知の気相成長法にて形成したのち、900℃N<sub>2</sub>雰囲気中でアニールした。

次に周知の微細加工技術を用いて、所望領域に電極取出し用開孔を形成し、さらに所望のAl合金配線を形成して、Nチャネル型のEPROMを作成した。

本実施例によれば、従来構造すなわち、第3図に示した構造のものに比べ、1層ゲート型トランジスタのゲート電極にポリサイド構造を使用することが可能となり、比抵抗 $\rho_s$ が $1/10$ 以下となり、素子の高速化が成された。また、多層ゲート型トランジスタの第1のゲート電極の多結晶シリコンと多層ゲート型トランジスタの第2のゲート電極を薄膜化することができ、従ってゲート電極とソース、ドレインのコンタクト孔との間隔が小さく設計できるので、集積度が大幅に向上された。また上記のようにゲート電極が薄膜化できて同一マスクでゲート電極の加工ができるので、1層ゲート型トランジスタのゲート電極と多層ゲート型トランジスタの2つのゲート電極を同時に加工することが可能となり、製造コストが大幅に低減された。また、第2図で示したものに比べても、

型トランジスタのゲート酸化膜、105…多結晶シリコン膜（リンドープ）、106…2層ゲート型トランジスタの第2のゲート酸化膜、107…高融点金属のシリサイド、108…ソースN<sup>+</sup>層、109…ドレインN<sup>+</sup>層、110…レジストパターン。

出願人代理人 弁理士 鈴 江 武 彦

同様に前記2種類のゲート電極を同一マスクを用いて、同時に加工できる他、多層ゲート型トランジスタの第2のゲート酸化膜と1層ゲート型トランジスタの第1のゲート酸化膜厚を個別にコントロールすることができ、素子設計を簡略化することができた。

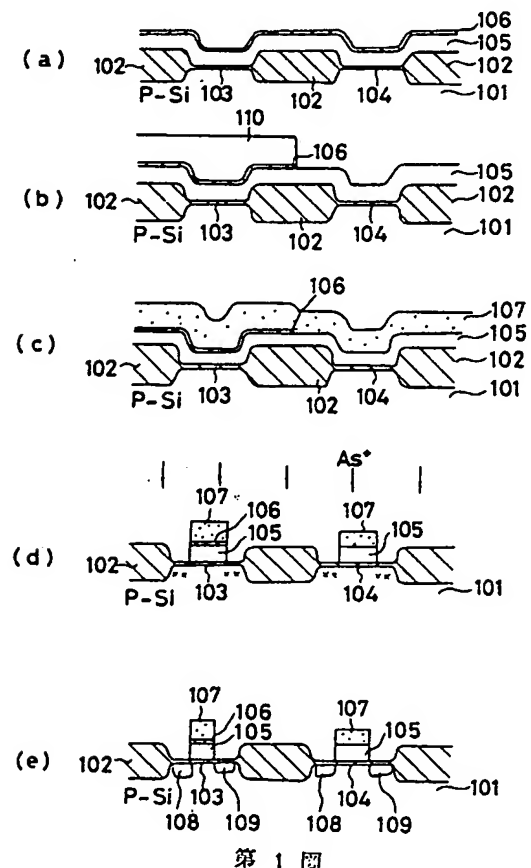
#### 〔発明の効果〕

以上説明した如く本発明によれば、前記従来技術の欠点を克服し、信頼性が高いシリサイド構造またはポリサイド構造のMOSFETを具備した半導体装置（集積回路）と、素子設計及び工程を簡略化することを可能とし、コスト的に有利な製造方法を提供することができるものである。

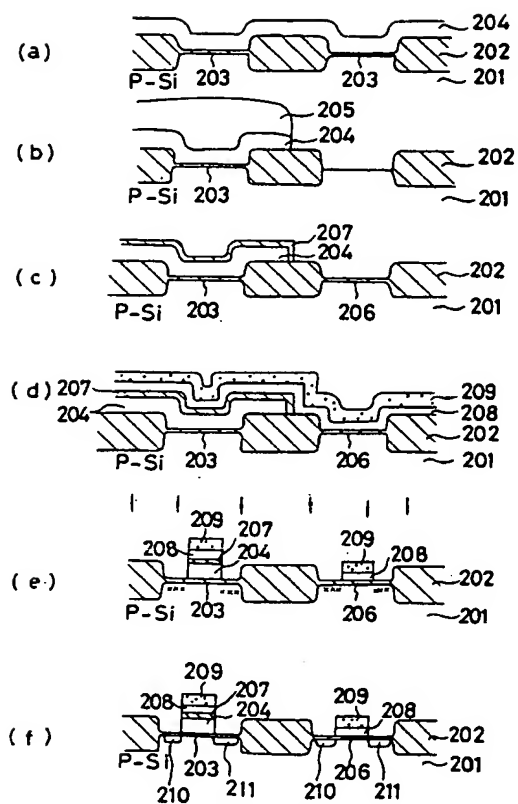
#### 4. 図面の簡単な説明

第1図は本発明の一実施例の製造工程説明図、第2図、第3図は従来装置の製造工程説明図である。

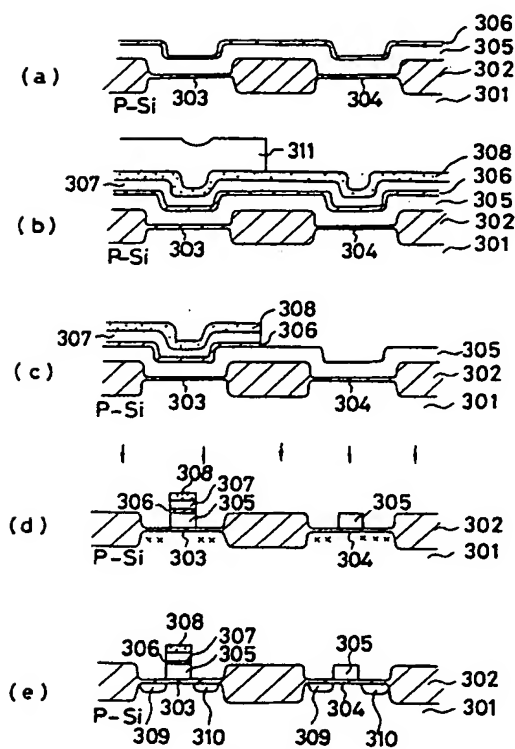
101…シリコン基板、102…素子分離用フィールド絶縁膜、103…2層ゲート型トランジスタの第1のゲート酸化膜、104…1層ゲート



第1図



第 2 図



第 3 図